

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010132302 **Image available**

WPI Acc No: 95-033553/199505

Related WPI Acc No: 94-345081

XRAM Acc No: C95-015312

XRPX Acc No: N95-026674

**Semiconductor circuit prepn. at lower cost - by forming monosilicic
matrix circuit on substrate**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEMICONDUCTOR ENERGY
RES CO LTD (SEME); SEMICONDUCTOR ENERGY LAB CO INC (SEME)

Inventor: TAKAYAMA T; TAKEMURA Y; ZHANG H

Number of Countries: 004 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 6318701	A	19941115	JP 9467982	A	19940311	H01L-029/784	199505 B
TW 241377	A	19950221	TW 94101947	A	19940307	H01L-021/331	199518
US 5569610	A	19961029	US 94207185	A	19940308	H01L-021/84	199649
US 5614733	A	19970325	US 94207185	A	19940308	H01L-029/76	199718
			US 94354502	A	19941212		
CN 1099519	A	19950301	CN 94104267	A	19940312	H01L-021/82	199722
US 5783468	A	19980721	US 94207185	A	19940308	H01L-021/84	199836
			US 96630628	A	19960410		

Priority Applications (No Type Date): JP 9379005 A 19930312; JP 9379004 A
19930312

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 6318701	A		7			
TW 241377	A					JP 6267988
US 5569610	A		11			JP 6267988
US 5614733	A		13	Div ex	US 94207185	
						JP 6267988
				Div ex		US 5569610
CN 1099519	A					JP 6267988
US 5783468	A			Div ex	US 94207185	
				Div ex		US 5569610

Abstract (Basic): JP 6318701 A

Circuit of a monosilicic active matrix is formed on a substrate.

Activated domain of thin film transistor (TFT) at periphery driving circuit has a catalytic element with concn. of 1×10^{-15} to 1×10^{-10} power.
19. Activated domain of TFT at the matrix portion has a catalytic element of less than that of the periphery driving circuit.

USE/ADVANTAGE - The circuit is suitable for liq. crystal display element. It has improved characteristics and can be mass produced at lower cost.

Dwg.1/3

Title Terms: SEMICONDUCTOR; CIRCUIT; PREPARATION; LOWER; COST; FORMING;

MONO; SILICIC; MATRIX; CIRCUIT; SUBSTRATE

Derwent Class: L03; P81; U14

International Patent Class (Main): H01L-021/331; H01L-021/82; H01L-021/84;

H01L-029/76; H01L-029/784

International Patent Class (Additional): G02F-001/1343; G02F-001/136;

H01L-021/20; H01L-021/265; H01L-021/324; H01L-021/336; H01L-027/04;

H01L-031/036; H01L-031/112

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04646801 **Image available**

SEMICONDUCTOR CIRCUIT AND ITS MANUFACTURE

PUB. NO.: **06-318701** [JP 6318701 A]

PUBLISHED: November 15, 1994 (19941115)

INVENTOR(s): CHIYOU KOUYUU

 TAKAYAMA TORU

 TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
 or Corporation), JP (Japan)

APPL. NO.: 06-067982 [JP 9467982]

FILED: March 11, 1994 (19940311)

INTL CLASS: [5] H01L-029/784; G02F-001/1343; G02F-001/136; H01L-021/20;
 H01L-021/265; H01L-021/324; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
 INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
 Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
 Implantation)

ABSTRACT

PURPOSE: To make low-leakage and high-speed compatible by forming a low-leakage FET in an area containing fewer catalytic elements and a high-speed TFT in another area containing more catalytic elements.

CONSTITUTION: After depositing an amorphous silicon film 23 on a silicon oxide film 22 formed on a substrate 21, an area 25 in which Ni is contained at a rate of $1 \times 10^{15} \text{cm}^{-3}$ to $1 \times 10^{18} \text{cm}^{-3}$ is formed by selectively implanting Ni ions into the film 23. After annealing the substrate 21, the formed area is crystallized by irradiating the area with a laser beam. Then a silicon oxide film 27 is formed as a gate insulating film after forming island-like silicon areas 26a and 26b. In addition, Al-gate electrodes 28a, 28b, and 28c and oxide layers 29a, 29b, and 29c are formed. Moreover, after forming an N-type impurity area 30a and P-type impurity areas 30b and 30c, the areas are activated by using a laser annealing method. Successively, picture element electrodes 32 are formed after forming a silicon oxide film 31 and electrode wiring 33a, 33b, 33c, 33d, and 33e are formed.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-318701

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/1343		9017-2K		
1/136	5 0 0	9119-2K		
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
		8617-4M	21/ 265	B
審査請求 未請求 請求項の数 8 F D (全 7 頁) 最終頁に続く				

(21)出願番号 特願平6-67982

(22)出願日 平成6年(1994)3月11日

(31)優先権主張番号 特願平5-79005

(32)優先日 平5(1993)3月12日

(33)優先権主張国 日本(J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦

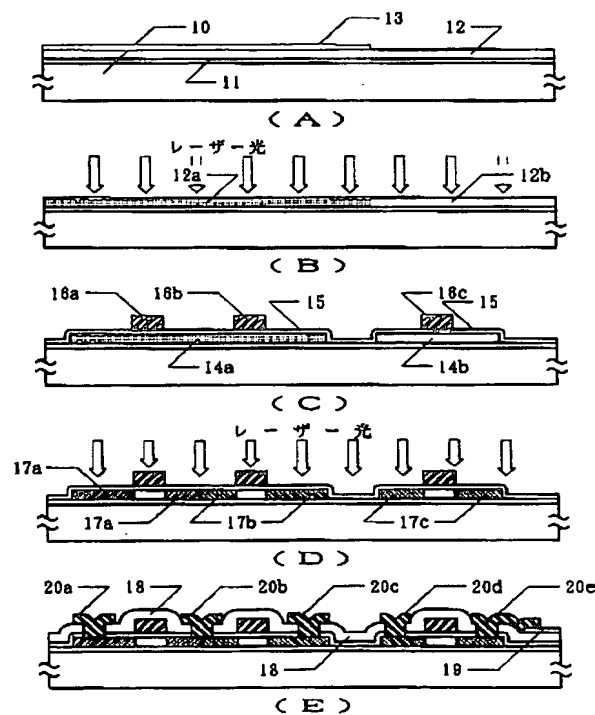
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 半導体回路およびその作製方法

(57)【要約】

【目的】 薄膜トランジスタ(T F T)の回路において、低リーク電流のT F Tと高速動作が可能なT F Tを有する半導体回路およびそのような回路を作製するための方法を提供する。

【構成】 アモルファスシリコン膜に密着して触媒元素を有する物質を選択的に形成し、もしくはアモルファスシリコン膜中に触媒元素を選択的に導入し、このアモルファスシリコン膜にレーザーもしくはそれと同等な強光を照射することによって結晶化させる。そして、触媒元素の少ない結晶シリコン領域をアクティブマトリクス回路の画素回路に使用されるT F Tに、触媒元素の多い結晶シリコン領域を周辺駆動回路に使用されるT F Tに用いる。



【特許請求の範囲】

【請求項1】 基板上に、形成されたモノリシックアクティブマトリクス回路において、周辺駆動回路の薄膜トランジスタの活性領域は $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の濃度の触媒元素を有し、前記マトリクス領域の薄膜トランジスタの活性領域の触媒元素の濃度は、前記周辺駆動回路の薄膜トランジスタの活性領域の濃度よりも低いことを特徴とする半導体回路。

【請求項2】 請求項1において、周辺駆動回路の薄膜トランジスタの活性領域中の触媒元素の濃度は $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$ であることを特徴とする半導体回路。

【請求項3】 請求項1において、マトリクス領域の薄膜トランジスタの活性領域の触媒元素の濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 未満であることを特徴とする半導体回路。

【請求項4】 請求項1において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも1つであることを特徴とする半導体回路。

【請求項5】 請求項1において、触媒元素の濃度は、2次イオン質量分析法によって、得られた最小値で定義されることを特徴とする半導体回路。

【請求項6】 基板上に、形成された複数の薄膜トランジスタを有する半導体回路において、薄膜トランジスタの活性領域中の触媒元素の濃度がもっとも大きなものと、最も小さなものとのが10倍以上であることを特徴とする半導体回路。

【請求項7】 アモルファス状態のシリコン膜およびそれに密着して触媒元素を有する物質を選択的に形成する第1の工程と、前記シリコン膜にレーザーもしくはそれと同等な強光を照射することによって結晶化を促進せしめる第2の工程と、を有することを特徴とする半導体回路の作製方法。

【請求項8】 アモルファス状態のシリコン膜に選択的に触媒元素を導入する第1の工程と、前記シリコン膜にレーザーもしくはそれと同等な強光を照射することによって結晶化を促進せしめる第2の工程と、を有することを特徴とする半導体回路の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（TFT）とその作製方法、およびこれを複数個有する半導体回路とその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、モノリシック型アクティブマトリクス回路（液晶ディスプレイ等に使用される）のように、低速動作のマトリクス回路と、それを駆動する高速動作の周辺回路を有する半導体回路において効果を発揮する。

【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層

（活性領域ともいう）を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ（TFT）が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTというように区別されている。

【0003】 一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコンTFTの研究・開発が進められている。

【0004】 結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路（ドライバー等）をもCMOSの結晶性TFTで構成する、いわゆるモノリシック構造を有するものが知られている。

【0005】

【発明が解決しようとする課題】 図3には、液晶ディスプレイに用いられるモノリシックアクティブマトリクス回路のブロック図を示す。基板7上には周辺ドライバー回路として、列デコーダー1、行デコーダー2が設けられ、また、マトリクス領域3にはトランジスタとキャパシタからなる画素回路4が形成され、マトリクス領域と周辺回路とは、配線5、6によって接続される。周辺回路に用いるTFTは高速動作が、また、画素回路に用いるTFTは低リーク電流が要求される。それらの特性は物理的に矛盾するものであるが、同一基板上に同時に形成することが求められていた。

【0006】 しかしながら、同一プロセスで作製したTFTは全て同じ様な特性を示す。例えば、熱的なアニールによって作製された結晶シリコンを用いたTFT、マトリクス領域のTFTも周辺駆動回路領域のTFTも同じ様な特性であり、画素回路に使用できる低リーク電流と、周辺駆動回路に使用できる高移動度という特性を両立させることは困難であった。また、熱的なアニールと選択的なレーザー照射による結晶化（レーザーアニール）という手段を併用することによって上記の困難を解決することも可能である。この場合には、熱アニールによるTFTをマトリクス領域に、レーザーアニールによるTFTを周辺駆動回路領域に利用できるが、レーザー結晶化によって結晶化したシリコンの結晶性は極めて均一性が低く、特に無欠陥が要求される周辺駆動回路に用

いることは難しかった。本発明はこのような困難な課題に対して解答を与えんとするものである。

【0007】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、白金(Pt)の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する被膜、粒子、クラスター等をアモルファスシリコンに密着させ、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で、また、8時間以内の熱アニールによって結晶化させることができる。

【0008】これら触媒元素を被膜状に形成する場合においては、触媒元素濃度は十分に低いことから、膜厚は極めて薄いものとなる。このような被膜の形成方法としては、スパッタリング、真空蒸着等の真空装置を用いる方法の他に、スピンコーティング法、ディップ(浸漬)法のような大気圧中でおこなれる方法も簡便で生産性が高い。この場合には、触媒元素を含有する酢酸塩、硝酸塩、有機酸塩等を適当な溶媒に溶かして、適切な濃度に調整したものを用いればよい。

【0009】当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、熱平衡的に結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ またはそれ以上、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以上存在することが必要であることがわかった。

【0010】しかし、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人は、これらの触媒物質を有する被膜をレーザーもしくはそれと同等な強光によって照射することによって、熱平衡的な結晶化に必要な触媒元素の濃度よりもはるかに少量、典型的には $1/10$ 以下で著しい結晶成長が得られることを見いだした。

【0011】具体的には、これらの触媒元素の濃度を、 $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、好ましくは $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$ とし、これに適当なエネルギーのレーザーもしくはそれと同等な強光を照射することによって結晶化を促進できる。レーザーもしくはそれと同等な強光のエネルギー密度は、照射される光源の波長、パルス幅、アモルファスシリコン(もしくは結晶性シリコン)の膜の温度等に依存する。例えば、アモルファスシリコンの温度は100～450℃、好ましくは250～

350℃とすると、より少量の触媒元素濃度で結晶化を達成することができた。

【0012】本発明では、上記の触媒材料による結晶化の特徴を生かして、アモルファスシリコン膜を形成して、触媒元素を有する材料を密着させ、あるいは混入させ、ついでレーザーもしくはそれと同等な強光を照射することによって結晶化したシリコン膜を得る。この際に、基板上の一部に選択的に触媒元素を有する材料を密着させ、あるいは混入させ、ついでレーザーもしくはそれと同等な強光を照射すること、あるいはレーザーもしくはそれと同等な強光を走査させることによって結晶性の異なるシリコン膜を同一基板上に形成することもできる。また、レーザー照射前に、350～650℃、好ましくは400～550℃で1～24時間、好ましくは2～8時間程度、予備的なアニールをおこなってもよい。

【0013】かくすることにより、結晶化の程度を向上せしめることが可能であり、また、熱的なアニールだけでは除去できない結晶粒界の障壁を弱め、粒界に残存するアモルファス成分をも結晶化させることができた。また、このような方法を採用する場合には、熱的なアニールによる結晶化の度合いが低くても、その後のレーザー照射によって完全な結晶化を成就することができるので、使用される触媒元素の濃度を低下せしめることができる。

【0014】本発明においては、レーザー等の照射前の予備的なアニールの有無に関わらず、触媒元素の添加された領域の結晶性は、その後のレーザー等の照射によって、触媒元素の少ない領域よりも向上する。しかも、得られるTFETの特性は、従来の一般的なレーザーアニール(アモルファスシリコン膜のレーザー照射)法によるものに比較すると、同じ程度、もしくはそれ以上の特性であった。さらにレーザー等のエネルギーを通常のレーザーアニールに比較して低めに抑えることにより、このような特性が安定して得られた。一方、触媒元素の添加されていない領域でもレーザー照射によって結晶化が成就されたが、この場合もレーザー等のエネルギーを通常のレーザーアニールに比較して低めに抑えることにより、特性が安定して得られた。

【0015】このような特長を利用すれば、触媒元素の少ない領域をアクティブマトリクス回路の画素回路等の低リークTFETに用い、触媒元素の多い領域を周辺駆動回路等の高速TFETとして用いることが可能である。この結果、低リーク電流と高速動作という矛盾するトランジスタを有する回路を同一基板上に同時に形成することもできる。

【0016】本発明では、低リーク電流が要求されるTFETを形成する部分の触媒元素の濃度は、高速TFETを形成する部分の触媒元素の濃度よりも小さいことが要求されるが、それに加えて、両者の差をより明確にするためには、また、よりリーク電流を低下させるためには、

低リーク電流が要求されるTFTの活性領域の触媒元素の濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 未満であることが望まれる。以下に実施例を用いて、より詳細に本発明を説明する。

【0017】【実施例1】 図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば500Åの真性（I型）のアモルファスシリコン膜12を堆積した。連続して、スパッタリング法によって、ニッケルを $1 \times 10^{18} \text{ cm}^{-3}$ 含むシリコン膜（厚さ5～200Å、例えば50Å）13を図に示すように選択的に形成した。このニッケル膜13の形成にはリフトオフ法を用いた。なお、スパッタリング法の代わりに、スピニング法を用いてもよい。（図1（A））

【0018】次に、アモルファスシリコン膜12に全面にレーザー光を照射して、結晶化をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～500mJ/cm²、例えば350mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を100～450℃、例えば、300℃に加熱した。この結果、アモルファスシリコン膜は全面的に結晶化した。珪化ニッケル膜13の下方のシリコン膜12aではニッケルが結晶化を促進させたので、その他の領域のシリコン膜12bよりも結晶性が良好であった。（図1（B））

【0019】このようにして得られたシリコン膜をフォトリソグラフィ法によってパターニングし、島状シリコン領域14a（周辺駆動回路領域）および14b（マトリクス領域）を形成した。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜15をゲート絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素＝0～0.5、例えば0.1以下とした。引き続いて、減圧CVD法によって、厚さ3000～8000Å、例えば6000Åのシリコン膜（0.1～2%の燐を含む）を堆積した。なお、この酸化珪素15とシリコン膜の成膜工程は連続的にこなうことが望ましい。そして、シリコン膜をパターニングして、ゲート電極16a、16b、16cを形成した。（図1（C））

【0020】次に、プラズマドーピング法によって、シリコン領域にゲート電極をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、フォス

フィン（PH₃）およびジボラン（B₂H₆）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を 5×10^{15} とした。この結果、N型の不純物領域17a、P型の不純物領域17bおよび17cが形成された。

【0021】その後、レーザーアニールによって、不純物を活性化させた。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～400mJ/cm²、例えば250mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を100～450℃、例えば、250℃に加熱した。こうして不純物領域17a～17cを活性化した。（図1（D））

【0022】続いて、厚さ6000Åの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、さらに、スパッタリング法によって厚さ500～1000Å、例えば800Åのインジウム錫酸化膜（ITO）を形成し、これをパターニングして画素電極19を形成した。次に層間絶縁物にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺駆動回路TFTの電極・配線20a、20b、20c、マトリクス画素回路TFTの電極・配線20d、20eを形成した。最後に、1気圧の水素雰囲気中で350℃、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図1（E））

【0023】本実施例で得られたTFTの活性領域に含まれるニッケルの濃度を2次イオン質量分析（SIMS）法によって分析したところ、周辺駆動回路領域のTFTからは $1 \times 10^{17} \sim 5 \times 10^{17} \text{ cm}^{-3}$ のニッケルが、また、画素回路のTFTからは測定限界（ $1 \times 10^{16} \text{ cm}^{-3}$ ）以下のニッケルが検出された。

【0024】【実施例2】 図2に本実施例の作製工程の断面図を示す。基板（コーニング7059）21上に、スパッタリング法によって、厚さ2000Åの酸化珪素膜22を形成した。次に、プラズマCVD法によって、厚さ200～1500Å、例えば500Åのアモルファスシリコン膜23を堆積した。そして、アモルファスシリコン膜23をフォトレジスト24でマスクして、イオン注入法によって選択的にニッケルイオンを注入し、ニッケルが $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、例えば、 $5 \times 10^{16} \text{ cm}^{-3}$ だけ含まれるような領域25を作製した。この領域25の深さは200～500Åとし、加速エネルギーはそれに合わせて最適なものを選択し

た。本実施例のようにイオン注入法を用いることは、実施例1に比べてニッケルの濃度を制御する上で有利であった。(図2(A))

【0025】次に、基板を窒素雰囲気中で350～650℃、好ましくは400～550℃、例えば500℃、2時間のアニールをおこなった。この結果、ニッケルのドーピングされた領域では予備的に結晶化が進行した。その後、アモルファスシリコン膜23の全面に選択的にレーザー光を照射して、その領域の結晶化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20ns)を用いた。レーザーのエネルギー密度は、200～500mJ/cm²、例えば350mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を100～450℃、例えば350℃に加熱した。この結果、シリコン膜が結晶化した。ニッケルの注入された領域23aの方が、そうでない領域23bよりも結晶性が良好であった。(図2(B))

【0026】その後、このシリコン膜をパターンニングして、島状シリコン領域26a(周辺駆動回路領域)および26b(マトリクス画素回路領域)を形成した。さらに、テトラ・エトキシ・シラン(Si(OC₂H₅)₄、TEOS)と酸素を原料として、プラズマCVD法によってTFTのゲート絶縁膜として、厚さ1000Åの酸化珪素27を形成した。原料には、上記ガスに加えて、トリクロロエチレン(C₂HCl₃)を用いた。成膜前にチャンバーに酸素を400SCCM流し、基板温度300℃、全圧5Pa、RFパワー150Wでプラズマを発生させ、この状態を10分保った。その後、チャンバーに酸素300SCCM、TEOSを15SCCM、トリクロロエチレンを2SCCMを導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパワー、全圧は、それぞれ300℃、75W、5Paであった。成膜完了後、チャンバーに100Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0027】引き続き、スパッタリング法によって、厚さ6000～8000Å、例えば6000Åのアルミニウム膜(2%のシリコンを含む)を堆積した。アルミニウムの代わりにタンタル、タングステン、チタン、モリブデンでもよい。なお、この酸化珪素27とアルミニウム膜の成膜工程は連続的にこなうことが望ましい。そして、アルミニウム膜をパターンニングして、TFTのゲート電極28a、28b、28cを形成した。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層29a、29b、29cを形成した。陽極酸化は、酒石酸の1～5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。(図2(C))

【0028】次に、プラズマドーピング法によって、シ

リコン領域に不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60～90kV、例えば80kVとした。ドーピング量は1×10¹⁵～8×10¹⁵cm⁻²、例えば、2×10¹⁵cm⁻²とした。このようにしてN型の不純物領域30aを形成した。さらに、今度は左側のTFT(Nチャネル型TFT)をフォトレジストでマスクして、再び、プラズマドーピング法で右側の周辺回路領域TFT(PチャネルTFT)およびマトリクス領域TFTのシリコン領域に不純物(ホウ素)を注入した。ドーピングガスとして、ジボラン(B₂H₆)を用い、加速電圧を50～80kV、例えば65kVとした。ドーピング量は1×10¹⁵～8×10¹⁵cm⁻²、例えば、先に注入された燐より多い5×10¹⁵cm⁻²とした。このようにしてP型の不純物領域30b、30cを形成した。

【0029】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20ns)を用いた。レーザーのエネルギー密度は、200～400mJ/cm²、例えば250mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。(図2(D))

【0030】続いて、層間絶縁物として厚さ2000Åの酸化珪素膜31をTEOSを原料とするプラズマCVD法によって形成し、さらに、スパッタリング法によって、厚さ500～1000Å、例えば800Åのインジウム錫酸化膜(ITO)を堆積した。そして、これをエッチングして画素電極32を形成した。さらに、層間絶縁物31にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺ドライバー回路TFTのソース、ドレイン電極・配線33a、33b、33cおよび画素回路TFTの電極・配線33d、33eを形成した。以上の工程によって半導体回路が完成した。(図2(E))

【0031】作製された半導体回路において、周辺ドライバー回路領域のTFTの特性は従来のレーザー結晶化によって作製されたものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレイン電圧15Vで11MHz、17Vで16MHzの動作を確認できた。また、信頼性の試験においても従来のものとの差を見出せなかった。さらに、マトリクス領域のTFT(画素回路)の特性に関しては、リーク電流は10⁻¹³A以下であった。

【0032】

【発明の効果】本発明によって、例えば、上記実施例に示した如く、同一基板上に、高速動作が可能なTFTと低リーク電流を特徴とするTFTを形成することができた。これを液晶ディスプレイに応用した場合には、量産性の向上と特性の改善が図られる。もちろん、どちらか一方の特長を示すTFTのみを1枚の基板上に形成する

ことも可能である。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図 1】 実施例 1 の作製工程断面図を示す。

【図 2】 実施例 2 の作製工程断面図を示す。

【図 3】 モノリシック型アクティブマトリクス回路の構成例を示す。

【符号の説明】

10・・・基板

11・・・下地絶縁膜（酸化珪素）

12・・・アモルファスシリコン膜

13・・・ニッケルを含むシリコン膜

14・・・島状シリコン領域

15・・・ゲート絶縁膜（酸化珪素）

16・・・ゲート電極（燐ドーピングされたシリコン）

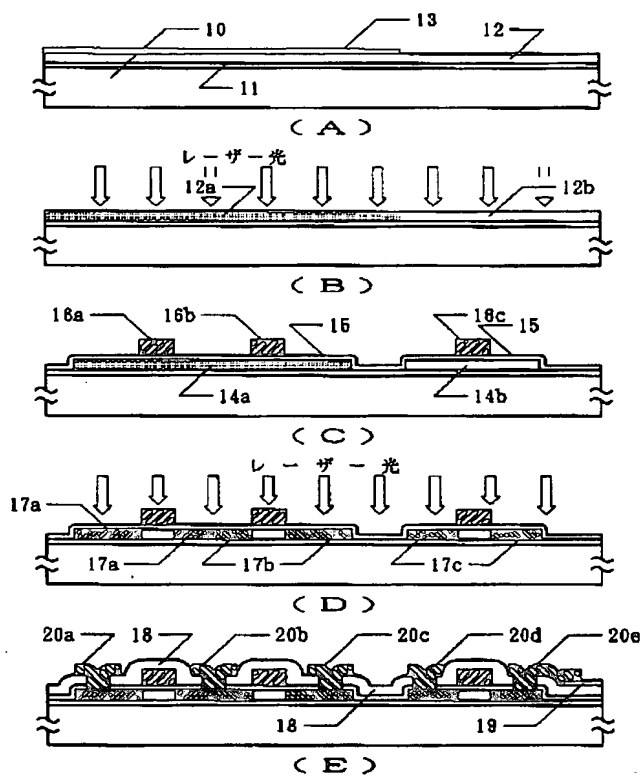
17・・・ソース、ドレイン領域

18・・・層間絶縁物（酸化珪素）

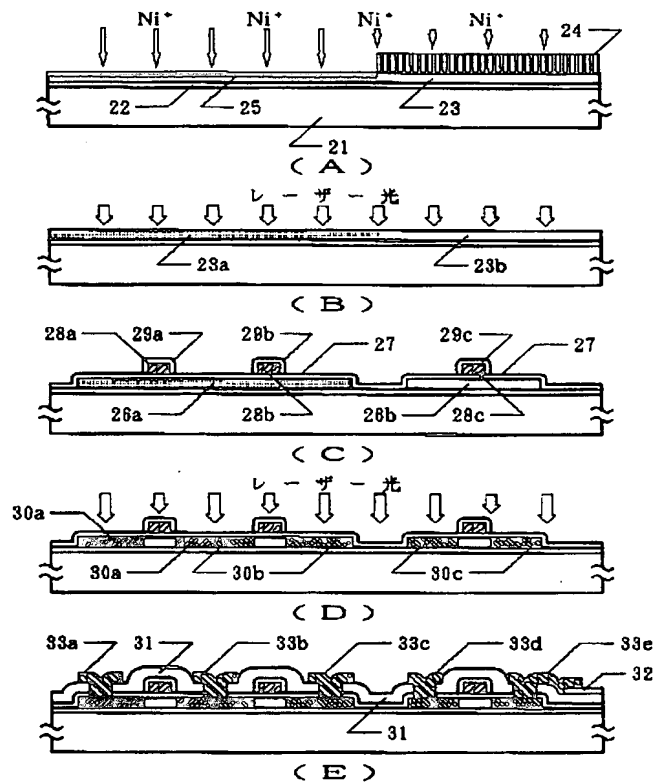
19・・・画素電極（ITO）

20・・・金属配線・電極（窒化チタン、アルミニウム）

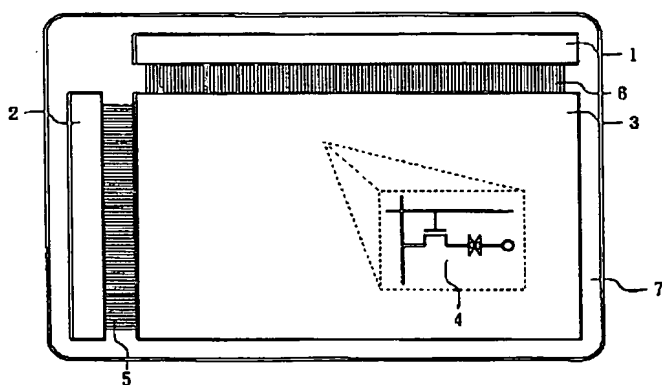
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl. 5	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 21/20		8122 -4M		
21/265				
21/324	Z	8617 -4M		
21/336		9056 -4M	H O 1 L 29/78	3 1 1 Y